

⑫ 特 許 公 報 (B 2)

昭 62 - 36575

⑬ Int. Cl. *

G 06 F 9/38
11/28

識別記号

3 8 0
3 2 0

庁内整理番号

C-7361-5B
7343-5B

⑭ 公告 昭和62年(1987)8月7日

発明の数 1 (全 5 頁)

⑮ 発明の名称 命令先読み装置

⑯ 特 願 昭55-76489

⑰ 公 開 昭57-3143

⑱ 出 願 昭55(1980)6月5日

⑲ 昭57(1982)1月8日

⑳ 発 明 者 西 沢 貞 次 門真市大字門真1006番地 松下電器産業株式会社内
㉑ 発 明 者 小 澤 純 雄 門真市大字門真1006番地 松下電器産業株式会社内
㉒ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地
㉓ 代 理 人 弁理士 中尾 敏 男 外 1 名
㉔ 審 査 官 二 宮 千 久

1

㉕ 特許請求の範囲

1 中央処理装置が特定のアドレスに格納された命令コードを実行した時に、それまでの一連の実行フローを中断するような上記特定のアドレスを格納する1個以上のブレイクアドレスレジスタと、アドレスバスに出力するアドレスの値と、上記ブレイクアドレスレジスタの内容とを比較し、一致しているか否かの信号を出力する比較回路と、命令読み出し機構が命令コードを取込む際に、nビット命令コードの入力信号線とは独立した体の信号線から上記比較回路の出力である1ビットのブレイクアドレス一致信号も同時に取込み、命令が中央処理装置によつて実行されるまで両者が順番に行列を作つて格納される1語が(n+1)ビットからなる1語以上の先読み命令キューとを有し、上記中央処理装置の実行した命令が分岐命令のような実行フローに変化を生じさせる命令以外の場合、先読み命令キューの先頭の1語のうち命令コードであるnビットを命令レジスタに移し、残り1ビットのブレイクアドレス一致情報を利用して上記中央処理装置の実行を中断するか否かの制御を行なうことを特徴とする命令先読み装置。

発明の詳細な説明

本発明は命令コードをメモリ装置から読み出す動作と命令の実行とを並列化することにより、実質的な命令実行速度を高めることを目的とした命令先読み方式に関するものである。

2

第1図aに示すような命令コード群がメモリ装置に格納されている場合、これらを最も基本的な電子計算機装置が実行すると第1図bのように命令の読み出しと命令の実行が直列的に行なわれる。ここで命令先読み機構を第1図cのように設け、これを同図dに示すように演算処理機構とは独立に動作させれば実質的な命令実行速度の向上が可能となる。

次に通常の命令先読み機構を有する計算機装置の構成を第2図に示す。インストラクションカウンタ(IC)1には現在実行中の命令が記憶されているメモリ装置のアドレスが記憶され、その命令コードは命令レジスタ(IR)6に記憶され、このIR6の出力信号はデコードされ中央処理装置(CPU)内の各制御ブロックを制御している。一方プリフェッチアドレスカウンタ(PFC)2はIC1の示すアドレスの先のアドレスを指し、データバス(DB)に転送空き時間が生じた時にアドレス出力回路3を介してPFC2の内容が命令フェッチ信号(FC)に同期して出力される。メモリ装置はこれに反応してPFC2の内容をアドレスとする命令コードをデータバス(DB)に出力し、この情報はデータ入出力回路4を介して先読み命令キュー5の最後尾に記憶され、PFC2の値が+1される。すなわち1回の命令先読み動作を完了する。この命令先読み動作は先読み命令キュー5が命令コードで満たされるまで続けられるが、一方CPUが1命令コードを

3

実行するごとに、先読み命令キュー5の先頭の命令コードがIR 6に移され、同時にIC 1の値が+1される。またCPUが分岐命令を実行した場合は分岐先のアドレスがIC 1、PFC 2にロードされると共に先読み命令キュー5内の命令コードはクリアされる。CPUがCPU内のレジスタとメモリ装置とのデータ転送命令を実行した場合、転送を行なうべきメモリ装置のアドレスを示すアドレスレジスタ7の内容がアドレス出力回路3を介して出力され、データはデータ入出力回路を介してデータレジスタ8とメモリ装置との間で転送が行われる。

ところで電子式計算機装置においてプログラムの開発にあたって、プログラムデバッグする上で次のような機能を具備することが必要である。すなわち利用者が設定したある特定のアドレスの命令コードが実行されたことを検知してそれまでのCPUの一連の実行動作を中断させる機能であり、これはブレーク動作と呼ばれる。実際にはCPUを停止させるか、CPUに割り込み信号を発生して割り込み処理プログラムを実行させたりする。

この機能を命令先読み機構を有しない電子計算機装置に対して実現した例を第3図に示す。第2図に示したこれを有する電子計算機装置に比べて命令先読み機構を有しない電子計算機装置ではPFC 2、先読み命令キュー5が存在しない。ブレーク動作を起こしたいアドレス（ブレークアドレス）をブレークアドレスレジスタ（BAR）9に記憶させ、アドレス比較回路10はBAR 9の内容と、命令フェッチ信号（FC）に同期して出力されるアドレスの内容を比較し、一致した時にブレークアドレス検出信号S 1をCPUに出力する。

次に命令先読み機構を有する電子計算機装置にこのブレーク動作を実現する従来例を第4図を用いて説明する。命令先読み機構を有する電子計算機装置では、命令コードをメモリ装置にアクセスするタイミングとその命令コードが実行されるタイミングには相互関係がなく、またある命令コードが読まれても、その命令コードが実行されることは限らない。すなわちメモリ装置側でどの命令コードが実行されているかがわからない。そこでブレークアドレスレジスタ（BAR）9、アドレス比較回路10はCPU内部に設けられ、アドレス

4

比較回路10はBAR 9とIC 1の間の一致関係を調べ、一致した時にのみブレークアドレス検出信号S 1を出力する。しかしこの方法において次のような欠点が存在する。

(1) 半導体の高集積化技術を利用してCPUを1チップ化しようとした場合、プログラムデバッグ時しか有効利用しない（すなわちターゲットマシンでは利用しない）BAR 9、アドレス比較回路10をCPUチップ内部に設けなければならない、集積度の限界から他の機能をけずらなければならないことも生じ、CPUの性能低下につながる。

(2) ブレークアドレスは場合によつては複数個所設定したいようなこともあるが、外部付加してもCPU内部のブレークアドレスレジスタ（BAR）の個数以上は不可能である。

本発明は以上の欠点を除去することを目的としたものであり、その実施例とともに説明する。第5図において第2図～第4図に示したブロックに対応するものには同符号を付している。50は先読み命令キュー、60は命令レジスタである。

次にこの実施例の動作について説明する。ブレーク動作に関する以外の動作は第2図に対する説明と全く同様であるため、ここではブレーク動作についてのみ述べる。アドレス比較回路10はBAR 9の内容と命令フェッチ信号（FC）に同期して出力されるアドレスの内容を比較し、一致した場合に先読み命令キュー50に対して一致信号を出力する。先読み命令キュー50にはメモリ装置から読み出された命令コードnビットと共にこの一致信号1ビットがとり込まれ、キューの最後尾に記憶される。以後この一致信号は命令コードの一部として先読み命令キュー50内に存在し、命令の実行が進むに従いシフトし、最終的には命令レジスタ60に移される。もちろん分岐命令が実行された時はこの一致信号も含めて先読み命令キュー50はクリアされる。命令レジスタ60の命令コードに対応するnビットについては通常の命令コードとしてデコードしCPU内の各制御ブロックを制御する。一方、一致信号に対応する1ビットの信号はブレークアドレス検出信号としてそれまでの一連の実行動作を中断するための制御に用いられる。

以上に説明したように本発明によれば、ブレー

5

6

クアドレスレジスタ、アドレス比較回路は命令先読み機構を有しない電子計算機装置と全く同様にメモリ装置側に設けることができ、ブレークアドレスの箇所も外部の回路量に比例した数に増加することができる。また本発明によつてCPU内部に新たに必要なハードウェア量はブレーク機能のないものに比べ、先読み命令キューの語数を q とすると $(q+1)$ ビットの記憶装置だけでよく、CPU全体の集積度にはほとんど影響しない特徴がある。

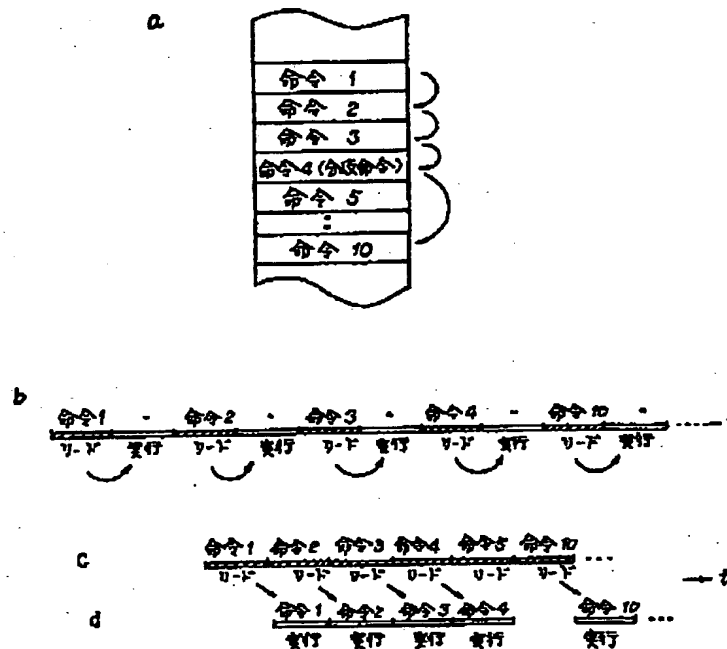
図面の簡単な説明

第1図a, b, c, dは命令先読み機構を有し

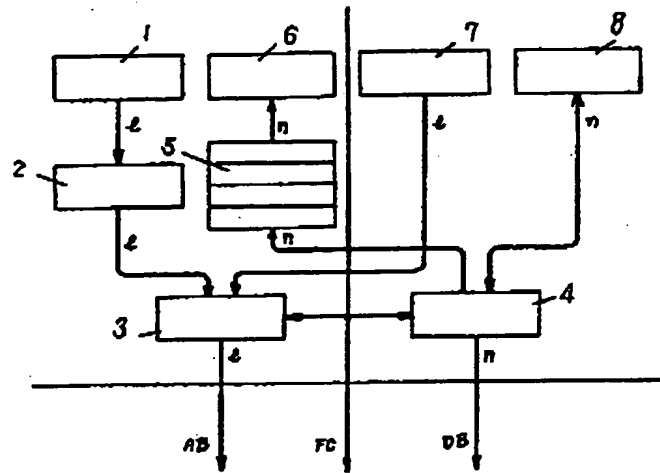
ない電子計算機装置とこれを有する電子計算機装置の動作フローの相違を説明する図、第2図は命令先読み機構を有する電子計算機装置の構成図、第3図は命令先読み機構を有しない電子計算機装置にブレークアドレス検出機能を具備した装置の構成図、第4図は命令先読み機構を有する電子計算機装置にブレークアドレス検出機能を具備した装置の構成図、第5図は本発明の一実施例による命令先読み方式を用いた電子計算機装置の構成図である。

9……ブレークアドレスレジスタ、10……アドレス比較回路、50……先読み命令キュー。

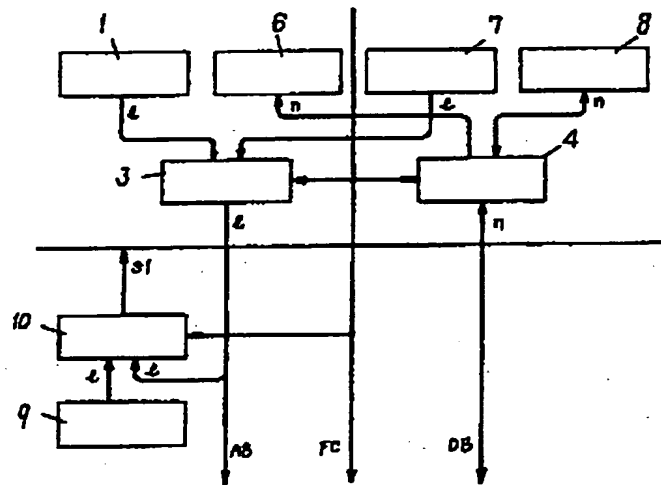
第1図



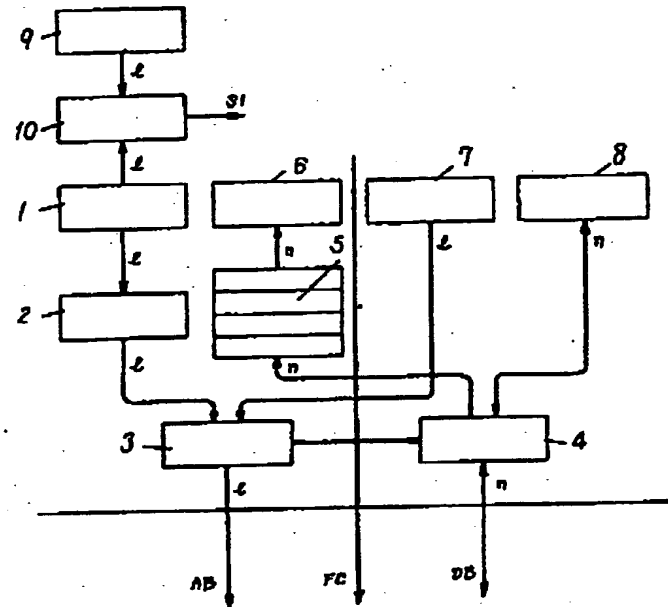
第2図



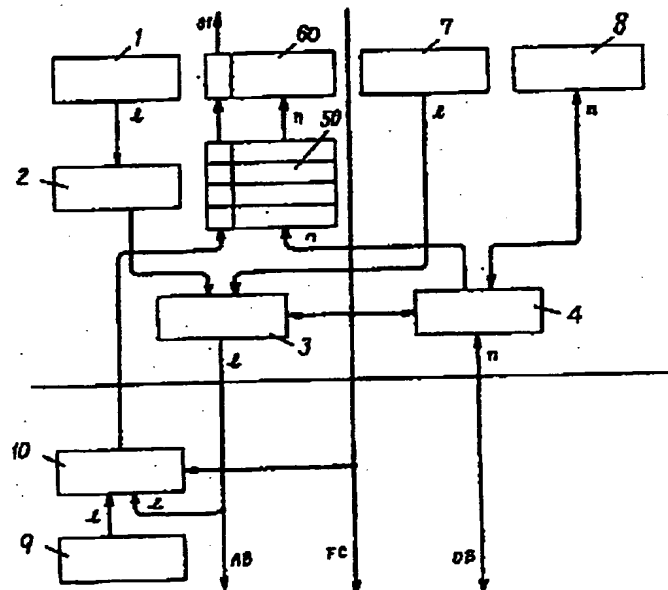
第3図



第 4 図



第 5 図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-036575
(43)Date of publication of application : 17.02.1987

(51)Int.Cl.

G01R 31/28

(21)Application number : 60-177213
(22)Date of filing : 12.08.1985

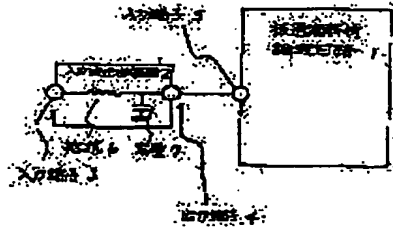
(71)Applicant : NEC CORP
(72)Inventor : SATO SHINICHI

(54) TRANSITION ANALYSIS MODEL SYSTEM

(57)Abstract:

PURPOSE: To achieve more accurate transition analysis of a logical circuit to be analyzed, by providing an input waveform generation circuit in front of the logical circuit being analyzed to bring the waveform to be applied to the input terminal of the logical circuit closer to reality.

CONSTITUTION: In this transition analysis model system, the input terminal 5 to a logical circuit 1 to be analyzed is connected to the output terminal 4 of an input waveform generation circuit 2 having a freely variable resistance 6 and capacitance 7. When a voltage waveform is inputted into the input terminal 3 of the input waveform generation circuit 2, it is propagated as signal and can be inputted into the input terminal 5 of the logical circuit 1 being analyzed in voltage waveform closer to reality.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]